

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-334081

(43) 公開日 平成10年(1998)12月18日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 17/16

G 0 6 F 15/347

A

審査請求 有 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平9-139975

(22) 出願日 平成9年(1997)5月29日

(71) 出願人 000168285

甲府日本電気株式会社

山梨県甲府市大津町1088-3

(72) 発明者 若月 健一

山梨県甲府市大津町1088-3 甲府日本電
気株式会社内

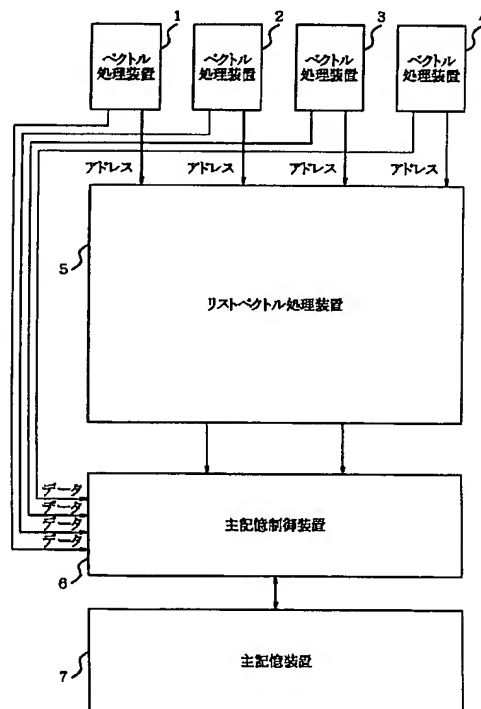
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 リストベクトル処理装置

(57) 【要約】

【課題】 前半N個、後半N個、…のように連続するアドレスベクトルのそれぞれに同一のアドレスベクトル要素が存在する場合、要素番号が一番大きいアドレスベクトル要素、つまり一番最後の前半N個あるいは後半N個のなかのアドレスベクトル要素のみに主記憶に対するデータ書き込みを行わせる。

【解決手段】 4個のベクトル処理装置1～4に昇順に番号づけたI個のベクトル要素を割り振り、前記4個のベクトル処理装置1～4からベクトル要素を比較して一致するベクトル要素があるとき、一致するものの中でベクトル要素番号の最も大きいベクトル要素を主記憶アクセスデータとして送出し、それ以外のベクトル要素の送出を抑止する。



【特許請求の範囲】

【請求項1】 複数個のベクトル処理装置が主記憶装置にそれぞれアクセスするアドレスを示す複数個のアドレスベクトルを入力し、前記アドレスベクトルのベクトル要素に一致するものがあるとき、一致するものの中でベクトル要素番号の最も大きいものを主記憶アクセスデータとして送出することを特徴とするリストベクトル処理装置。

【請求項2】 2N個のベクトル処理装置からアドレスベクトルをそれぞれに入力するリストベクトル処理装置において、前記2N個のベクトル処理装置に昇順に番号づけたI個のベクトル要素を割り振り、前記2N個のベクトル処理装置からベクトル要素をそれぞれI/2N回連続して入力するとき同時に入力した2N個のベクトル要素を比較して一致するベクトル要素があるとき、一致するものの中でベクトル要素番号の最も大きいベクトル要素を主記憶アクセスデータとして送出し、それ以外のベクトル要素の送出を抑止することを特徴とするリストベクトル処理装置。

【請求項3】 請求項2記載のリストベクトル処理装置において、前記2N個のベクトル処理装置からアドレスを受ける2N個のバッファと、前記バッファの二つから読み出されたアドレスおよびアドレス情報レジスタの出力のいずれかを選択するN個の3入力アドレスセクタと、前記バッファの二つから読み出されたアドレスのどちらかを選択するN個の2入力アドレスセクタと、前記2入力アドレスセクタおよび3入力アドレスセクタの出力を保持する2N個のアドレス情報レジスタと、前記アドレス情報レジスタの出力を保持する2N個のアドレス持ち回りレジスタと、前記アドレス持ち回りレジスタのアドレスをイネーブル生成回路の出力で選択する2N入力アドレスセクタと、前記2N入力アドレスセクタの出力を保持して主記憶制御装置にアドレスを出力する主記憶アクセスアドレスレジスタと、前記アドレス情報レジスタのそれぞれのアドレスが一致しているか判定する一致判定回路と、前記一致判定回路の判定結果に従ってベクトル処理の単位を2N要素処理かN要素処理かのいずれかに判定する処理単位判定回路と、前記一致判定回路の判定結果に従って主記憶へデータを書き込むベクトル要素を決定する要素決定回路と、前記処理単位判定回路の判定結果がN要素処理のとき前記要素決定回路の出力のベクトル要素番号の大きいほうのN個の要素をマスクする要素マスク回路と、前記要素マスク回路の出力を保持する実行要素レジスタと、次のベクトル要素の処理単位を判定する前記処理単位判定回路の出力と今回処理中のベクトル要素の処理状態を示す処理状態レジスタの出力から次のベクトル要素の処理状態を判定する処理状態判定回路と、前記処理状態判定回路の出力を保持する処理状態レジスタと、前記実行要素レジスタの出力とすでに処理された要素を示す実行済要素レジ

スタの出力から未処理のベクトル要素を判定する未処理要素判定回路と、前記未処理要素判定回路の出力より未処理のベクトル要素の中でベクトル要素番号の一番小さいベクトル要素を優先してどのベクトル処理装置からのデータを主記憶へ書き込むか判断するためのイネーブル情報を生成するイネーブル生成回路と、前記処理状態レジスタが後半N個の要素の処理あるいは前半2N個の要素の処理のときにイネーブル生成回路の出力を入れ替えるイネーブル入れ替え回路と、前記イネーブル入れ替え回路の出力を保持して主記憶制御装置にイネーブル情報を出力するイネーブル出力レジスタと、N要素処理あるいは2N要素処理の処理単位のすべてのベクトル要素の処理が終わったら実行済要素レジスタをリセットするデータを生成し、処理単位のベクトル要素の処理が終わっていないならばイネーブル生成回路で示される新しく処理されるベクトル要素をすでに処理が完了しているベクトル要素に加えたデータを生成する実行済要素決定回路と、前記実行済要素決定回路の出力を保持する実行済要素レジスタと、処理単位が2N個の要素のときベクトル要素の処理時間を前記要素マスク回路の出力から生成し、毎サイクル処理時間をデクリメントする2N要素処理時間生成回路の出力を保持する2N要素処理時間レジスタと、処理単位がN個の要素のときベクトル要素の処理時間を前記要素マスク回路の出力から生成し、毎サイクル処理時間をデクリメントするN要素処理時間生成回路と、前記N要素処理時間生成回路の出力を保持するN要素処理時間レジスタと、処理単位が2N個の要素あるいはN個の要素のときのベクトル要素の処理終了を判定する処理終了判定回路と、前記処理状態判定回路および前記処理終了判定回路の出力に従って前記バッファの読み出しアドレスの更新信号、前記2入力アドレスセクタおよび3入力アドレスセクタのセレクト信号を生成する制御回路とを有することを特徴とするリストベクトル処理装置。

【請求項4】 請求項3記載のリストベクトル処理装置において、前記処理単位判定回路は2N個のベクトル要素のうち前半N個が後半N個のいずれかに一致しているか、あるいは連続した4N個のベクトル要素のうち先行する2N個の後半N個と後続する2N個の前半N個との後半2N個について後半N個が前半N個のいずれかに一致しているとき2N要素処理と判定し、2N個のベクトル要素の前半N個の一つでも後半N個のいずれにも一致していないか、あるいは前記後半2N個について後半N個の一つでも前半N個のいずれにも一致していないときN要素処理と判定することを特徴とするリストベクトル処理装置。

【請求項5】 請求項3または4記載のリストベクトル処理装置において、前記処理状態判定回路は次のベクトル要素の処理状態が前半N個の処理、後半N個の処理、前半および後半の2N個の処理、連続する4N個に

ついて前記後半2N個のいずれであるかを判定することを特徴とするリストベクトル処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はリストベクトル処理装置に関し、特にリストベクトルのストア命令を実行するリストベクトル処理装置に関する。

【0002】

【従来の技術】リストベクトルのストア命令とは、1個のアドレスベクトル要素それぞれが示す主記憶上のアドレスにベクトル要素番号の若い順にデータを書き込む命令である。アドレスベクトル要素をM個のベクトル処理装置に分散し、それぞれ並列に処理させる場合、各アドレス要素をアクセスする際にメモリアクセスの順をリストベクトルの要素の並びの順で行うために、M個のベクトル処理装置から同じタイミングで出力したM個のアドレスベクトル要素を比較して同一のアドレスベクトル要素があった場合、その中で一番ベクトル要素番号の大きい一つアドレスベクトル要素にだけ主記憶へデータを書き込ませ、その他のアドレスベクトル要素には主記憶へのデータ書き込みを抑止させる。このようにして主記憶へのアクセス回数を減らし、リストベクトルのストア命令の実行時間を短縮している。

【0003】

【発明が解決しようとする課題】上記のリストベクトル処理装置において、同じタイミングで入力したM個のアドレスベクトル要素についてだけでなく、連続するM個のアドレスベクトル要素に一致するものがあるかぎり、一致するアドレスベクトル要素の中でベクトル要素番号の最も大きいもののみ主記憶へのデータ書き込みを行わせるためには、先行するM個のアドレスベクトル要素について一致判定を行う一致判定回路を設け、その一致判定回路を使用して後続のM個のアドレスベクトル要素についても一致判定を行い、さらに先行するM個と後続のM個のいずれが一致しているか判定する一致判定回路も設ける必要がある。

【0004】従来、一回で処理可能なアドレスベクトル要素の数を2N個のように偶数個とし、ベクトル要素番号順にN個とN個に分ける。ここで、ベクトル要素番号が小さいN個を前半N個と称する。ベクトル要素番号の大きいN個を後半N個と称する。そして、従来の処理は毎回、前後半2N個で処理しており、さらに後続するベクトル要素には対応することができない。

【0005】本発明の目的は、前半N個、後半N個、...のように連続するアドレスベクトルのそれぞれに同一のアドレスベクトル要素が存在する場合、要素番号が一番大きいアドレスベクトル要素、つまり一番最後の前半N個あるいは後半N個のなかのアドレスベクトル要素のみに主記憶に対するデータ書き込みを行わせるようにして上記の欠点を回避して、主記憶アクセス回数を減らし、

リストベクトルのストア命令の性能を向上させるリストベクトル処理装置を提供することにある。

【0006】

【課題を解決するための手段】本発明のリストベクトル処理装置は、複数のベクトル処理装置が主記憶装置にそれぞれアクセスするアドレスを示す複数のアドレスベクトルを入力し、前記アドレスベクトルのベクトル要素に一致するものがあるとき、一致するものの中でベクトル要素番号の最も大きいものを主記憶アクセスデータとして送出するようにして構成される。

【0007】また、本発明のリストベクトル処理装置は、2N個のベクトル処理装置からアドレスベクトルをそれぞれに入力するリストベクトル処理装置において、前記2N個のベクトル処理装置に昇順に番号づけた1個のベクトル要素を割り振り、前記2N個のベクトル処理装置からベクトル要素をそれぞれ1/2N回連続して入力するとき同時に入力した2N個のベクトル要素を比較して一致するベクトル要素があるとき、一致するものの中でベクトル要素番号の最も大きいベクトル要素を主記憶アクセスデータとして送出し、それ以外のベクトル要素の送出を抑止するようにして構成される。

【0008】また、本発明のリストベクトル処理装置は、前記2N個のベクトル処理装置からアドレスを受け取る2N個のバッファと、前記バッファの二つから読み出されたアドレスおよびアドレス情報レジスタの出力のいずれかを選択するN個の3入力アドレスセクタと、前記バッファの二つから読み出されたアドレスのどちらかを選択するN個の2入力アドレスセクタと、前記2入力アドレスセクタおよび3入力アドレスセクタの出力を保持する2N個のアドレス情報レジスタと、前記アドレス情報レジスタの出力を保持する2N個のアドレス持ち回りレジスタと、前記アドレス持ち回りレジスタのアドレスをイネーブル生成回路の出力で選択する2N入力アドレスセクタと、前記2N入力アドレスセクタの出力を保持して主記憶制御装置にアドレスを出力する主記憶アクセスアドレスレジスタと、前記アドレス情報レジスタのそれぞれのアドレスが一致しているか判定する一致判定回路と、前記一致判定回路の判定結果に従ってベクトル処理の単位を2N要素処理かN要素処理かのいずれかに判定する処理単位判定回路と、前記一致判定回路の判定結果に従って主記憶へデータを書き込むベクトル要素を決定する要素決定回路と、前記処理単位判定回路の判定結果がN要素処理のとき前記要素決定回路の出力のベクトル要素番号の大きいほうのN個の要素をマスクする要素マスク回路と、前記要素マスク回路の出力を保持する実行要素レジスタと、次のベクトル要素の処理単位を判定する前記処理単位判定回路の出力と今回処理中のベクトル要素の処理状態を示す処理状態レジスタの出力から次のベクトル要素の処理状態を判定する処理状態判定回路と、前記処理状態判定回路の出力を保

持する処理状態レジスタと、前記実行要素レジスタの出力とすでに処理された要素を示す実行済要素レジスタの出力から未処理のベクトル要素を判定する未処理要素判定回路と、前記未処理要素判定回路の出力より未処理のベクトル要素の中でベクトル要素番号の一番小さいベクトル要素を優先してどのベクトル処理装置からのデータを主記憶へ書き込むか判断するためのイネーブル情報を生成するイネーブル生成回路と、前記処理状態レジスタが後半N個の要素の処理あるいは後前半2N個の要素の処理のときにイネーブル生成回路の出力を入れ替えるイネーブル入れ替え回路と、前記イネーブル入れ替え回路の出力を保持して主記憶制御装置にイネーブル情報を出力するイネーブル出力レジスタと、N要素処理あるいは2N要素処理の処理単位のすべてのベクトル要素の処理が終わったら実行済要素レジスタをリセットするデータを生成し、処理単位のベクトル要素の処理が終わっていないならばイネーブル生成回路で示される新しく処理されるベクトル要素をすでに処理が完了しているベクトル要素に加えたデータを生成する実行済要素決定回路と、前記実行済要素決定回路の出力を保持する実行済要素レジスタと、処理単位が2N個の要素のときベクトル要素の処理時間を前記要素マスク回路の出力から生成し、毎サイクル処理時間をデクリメントする2N要素処理時間生成回路の出力を保持する2N要素処理時間レジスタと、処理単位がN個の要素のときベクトル要素の処理時間を前記要素マスク回路の出力から生成し、毎サイクル処理時間をデクリメントするN要素処理時間生成回路と、前記N要素処理時間生成回路の出力を保持するN要素処理時間レジスタと、処理単位が2N個の要素あるいはN個の要素のときのベクトル要素の処理終了を判定する処理終了判定回路と、前記処理状態判定回路および前記処理終了判定回路の出力に従って前記バッファの読み出しアドレスの更新信号、前記2入力アドレスセレクトおよび3入力アドレスセレクトのセレクト信号を生成する制御回路とを有して構成される。

【0009】さらに、本発明のリストベクトル処理装置において、前記処理単位判定回路は2N個のベクトル要素のうち前半N個が後半N個のいずれかに一致しているか、あるいは連続した4N個のベクトル要素のうち先行する2N個の後半N個と後続する2N個の前半N個との後前半2N個について後半N個が前半N個のいずれかに一致しているとき2N要素処理と判定し、2N個のベクトル要素の前半N個の一つでも後半N個のいずれにも一致していないか、あるいは前記後前半2N個について後半N個の一つでも前半N個のいずれにも一致していないときN要素処理と判定する。

【0010】さらに、本発明のリストベクトル処理装置において、前記処理状態判定回路は次のベクトル要素の処理状態が前半N個の処理、後半N個の処理、前半および後半の2N個の処理、連続する4N個について前記

後前半2N個のいずれであるかを判定する。

【0011】すなわち、本発明のリストベクトル処理装置は連続するアドレスベクトルのベクトル要素を順次取得して次の処理を実行する。

【0012】(1) 前半N個だけで処理するのは、前半N個のアドレスベクトル要素のうち後半N個のアドレスベクトル要素のいずれにも一致しないものがあるときである。

【0013】(2) 後半N個だけで処理するのは、前半N個だけの処理が行われたあと、後半N個のアドレスベクトル要素のうち、次の前後半2N個の前半N個のアドレスベクトル要素のいずれにも一致しないものがあるときである。

【0014】(3) 前後半2N個で処理するのは、前半N個のすべてのアドレスベクトル要素が後半N個のアドレスベクトル要素のいずれかに一致しているときである。

【0015】(4) 後前半2N個で処理するのは、前半N個だけの処理が行われたあと、後半N個のすべてのアドレスベクトル要素が、次の前後半2N個の前半N個のアドレスベクトル要素のいずれかに一致しているときである。

【0016】また、一致判定回路を増やすことなく、連続する2N個のアドレスベクトル要素に一致するものがあるかぎり、一致するアドレスベクトル要素のなかでベクトル要素番号の最も大きいものにのみ主記憶へのデータ書き込みを行わせるために、連続する前半N個、後半N個、前半N個、後半N個…において、アドレスベクトル要素に一致するものがあるかぎり、一致するアドレスベクトル要素のなかでベクトル要素番号の最も大きいものにのみ主記憶へのデータ書き込みを行わせる。

【0017】さらに、先行する2N要素において前半N要素すべてが後半N要素のいずれかに一致しないときには、前半N要素のうち後半N要素に一致していないものだけを前半N要素として処理を行い、前半N要素のうち後半N要素に一致しているものは、後半N要素に処理をつないで未処理の後半N要素を前半N要素のようにみせかけ、後続の2N要素の前半N要素を後半N要素のように見せかけて、合わせて2N要素において後半N要素すべてが前半N要素のいずれかに一致しないときには、後半N要素のうち前半N要素に一致していないものだけを後半N要素として処理を行い、後半N要素のうち前半N要素に一致しているものは、前半N要素に処理をつないでいくという制御を行う。このようにして連続する前半N個、後半N個、前半N個、後半N個…において、一致するものがあれば、ベクトル要素番号の大きいものに順につないでいき、アドレス要素番号の一番大きいものが主記憶にデータを書き込むことを可能とする。

【0018】

【発明の実施の形態】以下、本発明について図面を参照

しながら説明する。

【0019】図1は本発明が適用される情報処理システムの一例を示すブロック図である。同図において、リストベクトル処理装置5はベクトル処理装置1～4からアドレスベクトルを取得し、所望のアドレスデータを生成して主記憶制御装置6に送出する。主記憶制御装置6はベクトル処理装置1～4から受け取ったデータを上記のアドレスデータに従って主記憶装置7に書き込む。

【0020】図2および図3は本発明によるリストベクトル処理装置のN=2の場合を示すブロック図である。ここで、リストベクトル処理装置5は、4個のベクトル処理装置1～4に昇順に番号づけた1個のベクトル要素を割り振り、前記4個のベクトル処理装置1～4からベクトル要素を比較して一致するベクトル要素があるとき、一致するものの中でベクトル要素番号の最も大きいベクトル要素を主記憶アクセスデータとして送出し、それ以外のベクトル要素の送出を抑止する。

【0021】以下、図2および図3を参照すると、リストベクトル処理装置5は、ベクトル処理装置1～4から主記憶にデータをストアするためのアドレスをバッファ10～13で受ける。

【0022】そして、前記バッファ10から読み出されたアドレスか、前記バッファ11から読み出されたアドレスか、アドレス情報レジスタ19の出力のいずれかをセクタ14で選択し、それをアドレス情報レジスタ18で保持する。

【0023】また、前記バッファ10から読み出されたアドレスか、前記バッファ11から読み出されたアドレスのどちらかをセクタ15で選択し、それをアドレス情報レジスタ19で保持する。

【0024】また、前記バッファ12から読み出されたアドレスか、前記バッファ13から読み出されたアドレスか、アドレス情報レジスタ21の出力のいずれかをセクタ16で選択し、それをアドレス情報レジスタ20で保持する。

【0025】また、前記バッファ12から読み出されたアドレスか、前記バッファ13から読み出されたアドレスのどちらかをセクタ17で選択し、それをアドレス情報レジスタ21で保持する。

【0026】さらに、前記アドレス情報レジスタ18～21のアドレスをアドレス持ち回りレジスタ22から25で保持する。

【0027】そして、前記アドレス持ち回りレジスタ22～25のアドレスをイネーブル生成回路33の出力をセレクト信号としてセクタ26で選択し、主記憶制御装置6にアドレスを出力する主記憶アクセスアドレスレジスタ27で保持する。

【0028】次に、前記アドレス情報レジスタ18と19、18と20、18と21、19と20、19と21、20と21のアドレスがそれぞれ一致しているかを

一致判定回路28で判定する。ここで、前記アドレス情報レジスタ18および19が一致していることを $(18, 19) = 1$ と表し、一致していないとき $(18, 19) = 0$ と表すことにする。一致判定回路28の出力は $(19, 20)$ 、 $(18, 19)$ 、 $(18, 21)$ 、 $(20, 19)$ 、 $(20, 21)$ 、 $(19, 21)$ の6ビットである。

【0029】処理単位判定回路36は、一致判定回路28の結果から、前後半2N要素のうちすべての前半N要素が後半N要素のいずれかに一致しているか、あるいは後前半2N要素のうちすべての後半N要素が前半N要素のいずれかに一致しているとき、つまり

$$((18, 19) + (18, 21)) * ((20, 19) + (20, 21))' = 0$$

となる場合に2N要素処理と判定し「0」を出力し、前後半2N要素の前半N要素のうち1つでも後半N要素のいずれにも一致していないとき、あるいは後前半N要素の後半N要素のうち1つでも前半N要素のいずれにも一致していないとき、つまり

$$((18, 19) + (18, 21)) * ((20, 19) + (20, 21))' = 1$$

となる場合にN要素処理と判定し「1」を出力する。ここで+は論理和を表し、*は論理積を表し、'は反転を表す。

【0030】要素決定回路29は、一致判定回路28の出力によりアドレス情報レジスタ18～24のアドレスベクトル要素がそれぞれ主記憶ヘータを書き込むか判定してそれぞれ1ビットずつの信号、合計4ビットの信号を出力する。書き込むならば「1」、書き込まないならば「0」を出力する。すなわち、アドレス情報レジスタ18は $((18, 20) + (18, 19) + (18, 21))'$ で書き込み判定を行い、アドレス情報レジスタ19は $((20, 19) + (20, 21))'$ で書き込み判定を行い、アドレス情報レジスタ20は $(19, 21)'$ で書き込み判定を行い、アドレス情報レジスタ21は常に「1」である。

【0031】要素マスク回路30は、処理単位判定回路36の結果がN要素処理のとき要素決定回路29の出力のベクトル要素番号の大きいほうのN個の要素をマスクする。すなわち、要素マスク回路30は、アドレス情報レジスタ19および21に対する要素決定回路29の出力に対して、処理単位判定回路36の出力の反転したものをANDしてマスクする。そして要素マスク回路30の出力を実行要素レジスタ31で保持する。

【0032】次のアドレスベクトル要素の処理単位を判定する処理単位判定回路36の出力と今回処理中のアドレスベクトル要素の処理状態を示す処理状態レジスタ38の出力とから、次のアドレスベクトル要素の処理状態が前半N要素、後半N要素、前後半N要素、後前半N要素のいずれかであるか処理状態判定回路37で判定

する。図4にその真理値表を示す。そして処理状態判定回路37の出力は処理状態レジスタ38で保持する。

【0033】未処理要素判定回路32は実行要素レジスタ31の出力と実行済要素レジスタ40の出力の反転をANDすることで未処理のアドレスベクトル要素を判定する。

【0034】イネーブル生成回路33は未処理要素判定回路32の出力より、未処理のアドレスベクトル要素の中でベクトル要素番号の一番大きいアドレスベクトル要素を優先して、どのベクトル処理装置からのデータを主記憶へ書き込むか判断するためのイネーブル情報を生成する。図5にその真理値表を示す。

【0035】イネーブル入れ替え回路34は、処理状態レジスタ38が後半N要素あるいは後前半2N要素のときにイネーブル生成回路33の出力を入れ替える。

【0036】イネーブル出力レジスタ35はイネーブル入れ替え回路34の出力を保持して主記憶制御装置6にイネーブル情報を出力する。

【0037】実行済要素決定回路39は、N要素あるいは2N要素の処理単位のすべてのアドレスベクトル要素の処理が終わったら実行済要素レジスタ40をリセットするデータを生成し、処理単位のアドレスベクトル要素の処理が終わっていないならばイネーブル生成回路33で示される新しく処理されるアドレスベクトル要素をすでに処理が完了しているアドレスベクトル要素に加えたデータを生成する。そして、実行済要素レジスタ40は実行済要素決定回路39の出力を保持する。

【0038】2N要素処理時間生成回路41は、2N要素の処理単位のアドレスベクトル要素の処理時間を要素マスク回路30の4ビットの出力の「1」の数-1で生成して、2N要素処理時間レジスタ42にセットする。2N要素処理時間レジスタ42に処理時間がセットされたら毎サイクル処理時間はデクリメントされていく。

【0039】N要素処理時間生成回路43は、N要素の処理単位のアドレスベクトル要素の処理時間を要素マスク回路30の上位2ビットの出力の「1」の数-1で生成して、N要素処理時間レジスタ44にセットする。N要素処理時間レジスタ44に処理時間がセットされたら毎サイクル処理時間はデクリメントされていく。

【0040】処理終了判定回路45は、処理状態レジスタ38が前後2N要素のときと後前2N要素のときは2N要素処理時間レジスタ42が「0」になれば2N要素のすべてのアドレスベクトル要素の処理が終了したことを示し、処理状態レジスタ38が前N要素のときと後N要素のときはN要素処理時間レジスタ44が「0」になればN要素のすべてのアドレスベクトル要素の処理が終了したことを示す。

【0041】制御回路46は、処理状態判定回路37および処理終了判定回路45の出力から、バッファ10～13の読み出しアドレスの更新信号、およびセレクト1

4～17のセレクト信号を生成する。図6にその条件を示す。

【0042】次に、上記のリストベクトル処理装置の動作について説明する。

【0043】ベクトル処理装置1～4からそれぞれ1回目のアドレスベクトル要素として(a、b、a、c)、2回目のアドレスベクトル要素として(a、d、a、e)が送られた場合の動作を説明する。

【0044】クロックサイクルt(n)で、バッファ10～13から1回目のアドレスベクトル要素を読み出し、クロックサイクルt(n+1)でアドレス情報レジスタ18～21にセットする。クロックサイクル(n+1)のとき、アドレス情報レジスタ18～21のアドレスベクトル要素はそれぞれa、a、b、cであるから、一致判定回路28の出力は(18、19)=1、(18、20)=0、(18、21)=0、(20、19)=0、(19、21)=0、(20、21)=0となる。

【0045】要素決定回路29の出力は、
 $((18, 20) + (18, 19) + (18, 21))' = 0$
 $((20, 19) + (20, 21))' = 1$
 $(19, 21)' = 1$ から、
「0111」となる。

【0046】処理単位判定回路36の出力は((18、19)+(18、21))*(20、19)+(20、21))'=1であるから「1」となり、N要素の処理単位となる。

【0047】処理状態判定回路37の出力は、処理単位判定回路36が「1」で処理状態レジスタ38が初期値の「00」であるから図4の真理値表から「10」となり、処理状態は前半N個となる。

【0048】制御回路46は、処理状態判定回路37の出力が「10」であるから、バッファ10および12の読み出しアドレスの更新信号を出力し、セクタ14および16がアドレス情報レジスタ19および21を選択する信号を出力し、セクタ15および17がバッファ10および12を選択する信号を出力する(図6参照)。

【0049】要素マスク回路30の出力は、処理単位判定回路36の出力が「1」であるから要素決定回路29の出力の「0111」の下位2ビットに処理単位判定回路36の出力の反転をANDするので、「0100」となる。

【0050】2N要素処理時間生成回路41は要素マスク回路30の出力4ビットの「1」の数-1であるから「0」となる。

【0051】N要素処理時間生成回路43は要素マスク回路30の出力4ビット中の上位2ビットの「1」の数-1であるから「0」となる。

【0052】以上から、クロックサイクル $t(n+2)$ で実行要素レジスタ31に「0100」がセットされ、処理状態レジスタ38に「10」がセットされ、2N要素処理時間レジスタ42に「0」がセットされ、N要素処理時間レジスタ44に「0」がセットされる。またクロックサイクル $t(n+2)$ でアドレス持ち回りレジスタ22～25にアドレス情報レジスタ18～21の値がセットされる。

【0053】クロックサイクル $t(n+2)$ のとき実行要素レジスタ31は「0100」で実行済要素レジスタはリセットされており「0000」であるから、実行済要素レジスタの反転と実行要素レジスタ31のANDを取ると未処理要素判定回路32は「0100」となる。したがって、イネーブル生成回路33は、未処理要素判定回路32が「0100」であるから図5の真理値表から「0100」となる。

【0054】イネーブル入れ替え回路34は、処理状態レジスタ38が「10」の前半N個を示しているからイネーブル生成回路33の「0100」を入れ替えずに「0100」となる。

【0055】処理終了判定回路45は、処理状態レジスタ38が「10」の前半N個を示しているの、N要素処理時間レジスタ44を有効とし、N要素処理時間レジスタ44は「0」であるから、この前半N個の要素の処理は終了となり「1」を出力する。

【0056】次に、クロックサイクル $t(n+1)$ で、バッファ10および12から2回目のアドレスベクトル要素を読み出し、クロックサイクル $t(n+2)$ でアドレス情報レジスタ19および21にセットする。さらに、クロックサイクル $t(n+2)$ でアドレス情報レジスタ18および20にはクロックサイクル $t(n+1)$ のときのアドレス情報レジスタ19および21をセットする。

【0057】クロックサイクル $t(n+2)$ のとき、アドレス情報レジスタ18～21のアドレスベクトル要素はそれぞれa, a, c, dであるから、一致判定回路28の出力は $(18, 19) = 1$ 、 $(18, 20) = 0$ 、 $(18, 21) = 0$ 、 $(20, 19) = 0$ 、 $(19, 21) = 0$ 、 $(20, 21) = 0$ となる。

【0058】要素決定回路29の出力は、
 $((18, 20) + (18, 19) + (18, 21))' = 0$ 、
 $((20, 19) + (20, 21))' = 1$
 $(19, 21)' = 1$ から、
「0111」となる。

【0059】処理単位判定回路36の出力は
 $((18, 19) + (18, 21)) * ((20, 19) + (20, 21))' = 1$

であるから「1」となり、N要素の処理単位となる。

【0060】処理状態判定回路37の出力は、処理単位

判定回路36が「1」で、処理状態レジスタ38が「10」であるから図4の真理値表から「01」となり、処理状態は後半N個となる。

【0061】制御回路46は、処理状態判定回路37の出力が「01」であるから、バッファ11および13の読み出しアドレスの更新信号を出力し、セクタ14および16がアドレス情報レジスタ19および21を選択する信号を出力し、セクタ15および17がバッファ11および13を選択する信号を出力する（図6参照）。

【0062】要素マスク回路30の出力は、処理単位判定回路36の出力が「1」であるから要素決定回路29の出力の「0111」の下位2ビットに処理単位判定回路36の出力の反転をANDするので、「0100」となる。

【0063】2N要素処理時間生成回路41は要素マスク回路30の出力4ビットの「1」の数-1であるから「0」となる。

【0064】N要素処理時間生成回路43は要素マスク回路30の出力4ビット中の上位2ビットの「1」の数-1であるから「0」となる。

【0065】以上から、クロックサイクル $t(n+3)$ で実行要素レジスタ31に「0100」がセットされ、処理状態レジスタ38に「01」がセットされ、2N要素処理時間レジスタ42に「0」がセットされ、N要素処理時間レジスタ44に「0」がセットされる。また、クロックサイクル $t(n+3)$ でアドレス持ち回りレジスタ22～25にアドレス情報レジスタ18～21の値がセットされる。

【0066】クロックサイクル $t(n+3)$ のとき実行要素レジスタ31は「0100」で実行済要素レジスタはリセットされており「0000」であるから、実行済要素レジスタの反転と実行要素レジスタ31のANDをとると未処理要素判定回路32は「0100」となる。したがって、イネーブル生成回路33は、未処理要素判定回路32が「0100」であるから図5の真理値表から「0100」となる。

【0067】イネーブル入れ替え回路34は、処理状態レジスタ38が「01」の後半N個を示しているからイネーブル生成回路33の「0100」の上位2ビットと下位2ビットを入れ替えて「0001」となる。

【0068】処理終了判定回路45は、処理状態レジスタ38が「01」の後半N個を示しているの、N要素処理時間レジスタ44を有効とし、N要素処理時間レジスタ44は「0」であるから、この後半N個の要素の処理は終了となり「1」を出力する。

【0069】次に、クロックサイクル $t(n+2)$ で、バッファ11および13から2回目のアドレスベクトル要素を読み出し、クロックサイクル $t(n+3)$ でアドレス情報レジスタ19および21にセットする。さら

に、クロックサイクル $t(n+3)$ でアドレス情報レジスタ18および20にはクロックサイクル $t(n+2)$ のときのアドレス情報レジスタ19および21をセットする。

【0070】クロックサイクル $t(n+3)$ のとき、アドレス情報レジスタ18～21のアドレスベクトル要素はそれぞれ a, a, d, e であるから、一致判定回路28の出力は $(18, 19) = 1, (18, 20) = 0, (18, 21) = 0, (20, 19) = 0, (19, 21) = 0, (20, 21) = 0$ となる。

【0071】要素決定回路29の出力は、 $((18, 20) + (18, 19) + (18, 21))' = 0$ ($(20, 19) + (20, 21))' = 1$ ($19, 21)$ $' = 1$ から、「0111」となる。

【0072】処理単位判定回路36の出力は $((18, 19) + (18, 21)) * ((20, 19) + (20, 21))' = 1$

であるから「1」となり、N要素の処理単位となる。

【0073】処理状態判定回路37の出力は、処理単位判定回路36が「1」で、処理状態レジスタ38が「01」であるから図4の真理値表から「10」となり、処理状態は前半N個となる。

【0074】制御回路46は、処理状態判定回路37の出力が「10」であるから、バッファ10および12の読み出しアドレスの更新信号を出力し、セクタ14および16がアドレス情報レジスタ19および21を選択する信号を出力し、セクタ15および17がバッファ10および12を選択する信号を出力する(図6参照)。

【0075】要素マスク回路30の出力は、処理単位判定回路36の出力が「1」であるから要素決定回路29の出力の「0111」の下位2ビットに処理単位判定回路36の出力の反転をANDするので、「0100」となる。

【0076】2N要素処理時間生成回路41は要素マスク回路30の出力4ビットの「1」の数-1であるから「0」となる。

【0077】N要素処理時間生成回路43は要素マスク回路30の出力4ビット中の上位2ビットの「1」の数-1であるから「0」となる。

【0078】以上から、クロックサイクル $t(n+4)$ で実行要素レジスタ31に「0100」がセットされ、処理状態レジスタ38に「10」がセットされ、2N要素処理時間レジスタ42に「0」がセットされ、N要素処理時間レジスタ44に「0」がセットされる。また、クロックサイクル $t(n+4)$ でアドレス持ち回りレジスタ22～25にアドレス情報レジスタ18～21の値がセットされる。

【0079】クロックサイクル $t(n+4)$ のとき実行要素レジスタ31は「0100」で実行済要素レジスタ

はリセットされており「0000」であるから、実行済要素レジスタの反転と実行要素レジスタ31のANDをとると未処理要素判定回路32は「0100」となる。したがって、イネーブル生成回路33は、未処理要素判定回路32が「0100」であるから図5の真理値表から「0100」となる。

【0080】イネーブル入れ替え回路34は、処理状態レジスタ38が「10」の前半N個を示しているからイネーブル生成回路33の「0100」を入れ替えずに「0100」となる。

【0081】処理終了判定回路45は、処理状態レジスタ38が「10」の前半N個を示しているの、N要素処理時間レジスタ44を有効とし、N要素処理時間レジスタ44は「0」であるから、この前半N個の要素の処理は終了となり「1」を出力する。

【0082】なお、他のケースの場合にも上記と同様にしてリストベクトルのストア命令による主記憶アクセスを制御することができる。

【0083】

【発明の効果】以上、詳細に説明したように、本発明によれば、リストベクトルのストア命令において、先行して処理される2N個の要素の後半N個と後続して処理される2N個の要素の前半N個のアドレスベクトル要素に一致するものが複数個あるとき、アドレス要素番号の一番大きいものだけに主記憶へのデータ書き込みを行わせているので、主記憶へのアクセス回数を減らして性能を向上させることができる。

【0084】また、連続する前半N個、後半N個、前半N個、後半N個…においてアドレスベクトル要素に一致するものがあるとき、アドレス要素番号の一番大きいものだけに主記憶へのデータ書き込みを行わせているので、主記憶へのアクセス回数を減らして性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明が適用される情報処理システムを示すブロック図。

【図2】本発明の実施の一形態を示すブロック図。

【図3】本発明の実施の一形態を示すブロック図(つづき)。

【図4】処理状態判定回路の真理値を示す説明図。

【図5】イネーブル生成回路の真理値を示す説明図。

【図6】制御回路の出力条件を示す説明図。

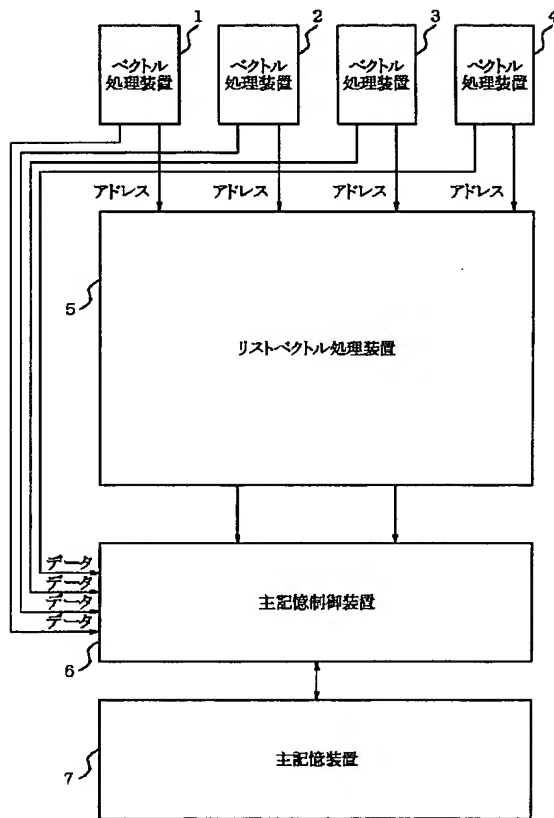
【符号の説明】

- 1～4 ベクトル処理装置
- 5 リストベクトル処理装置
- 6 主記憶制御装置
- 7 主記憶装置
- 10～13 バッファ
- 14～17 セクタ
- 18～21 アドレス情報レジスタ

22~25 アドレス持ち回りレジスタ
 27 主記憶アクセスアドレスレジスタ
 28 一致判定回路
 29 要素決定回路
 30 要素マスク回路
 31 実行要素レジスタ
 32 未処理要素判定回路
 33 イネーブル生成回路
 34 イネーブル入れ替え回路
 35 イネーブル出力レジスタ
 36 処理単位判定回路

37 処理状態判定回路
 38 処理状態レジスタ
 39 実行済要素決定回路
 40 実行済要素レジスタ
 41 2N要素処理時間生成回路
 42 2N要素処理時間レジスタ
 43 N要素処理時間生成回路
 44 N要素処理時間レジスタ
 45 処理終了判定回路
 10 46 制御回路

【図1】



【図4】

処理単位 判定回路 (36)	処理状態 レジスタ (38)	処理状態 判定回路 (37)
0	00	00
1	00	10
0	10	11
1	10	01
0	01	00
1	01	10
0	11	11
1	11	01

(注1) 処理単位判定回路のステータス

0 : 2N個の要素
 1 : N個の要素

(注2) 処理状態レジスタ、処理状態判定回路のステータ

00 : 前後半2N個の要素を処理
 10 : 前半N個の要素を処理
 01 : 後半N個の要素を処理
 11 : 後前半2N個の要素を処理

【図5】

イネーブル生成 回路33の入力	イネーブル生成 回路33の出力
1XXX	1000
01XX	0100
001X	0010
0001	0001

(注) XiはUnknownを示す。

【図6】

処理状態 判定回路 37の出力	バッファ10、 12のアドレス	バッファ11、 13のアドレス	セレクト 14、16の選択	セレクト 15、17の選択
10	更新	ホールド	アドレス情報 レジスタ19,21	バッファ 10, 12
01	ホールド	更新	アドレス情報 レジスタ19,21	バッファ 11, 13
00	更新	更新	バッファ 10, 12	バッファ 11, 13
11	更新	更新	バッファ 11, 13	バッファ 10, 12

